

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067896

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/762

H01L 21/02

H01L 27/12

(21)Application number : 09-223527

(71)Applicant : DENSO CORP

(22)Date of filing : 20.08.1997

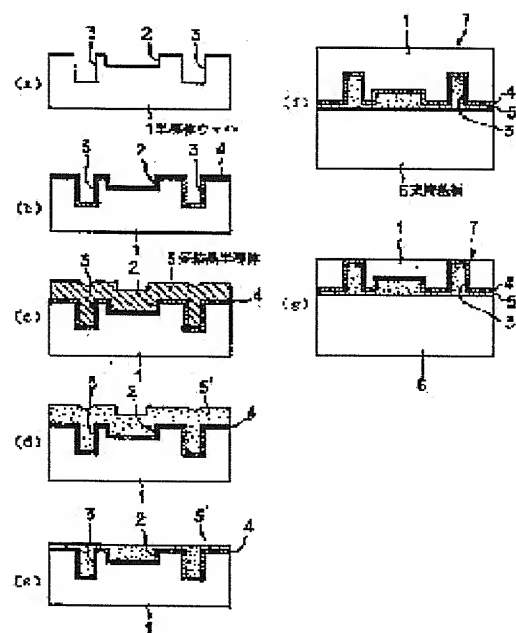
(72)Inventor : MATSUI MASAKI
NAGAYA MASATAKE
OSHIMA HISAZUMI

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively prevent the generation of bonding defects due to uneven parts existing on the surface of a semiconductor wafer, when the semiconductor wafer is pasted on a support substrate.

SOLUTION: In a deposition process indicated by (c), a polycrystalline silicon film 5 is deposited, by a low-pressure CVD method and under a low-pressure and low-temperature condition, on a first single-crystal silicon wafer 1 in which a recessed part 2, groove parts 3 and a silicon oxide film 4 are formed. In a heat treatment process indicated by (d), a high-temperature heat treatment at 1150° C is executed for the time or longer in which the migration of the polycrystalline silicon film 5 is saturated. In a polishing process indicated by (e), the surface of a polycrystalline silicon film 5' in a migration saturated state is planarized. After that, a hydrophilization treatment is executed to the surface of the polycrystalline silicon film 5' and to the surface of a second polycrystalline silicon wafer 6 which is polished to be a mirror surface, and a pasting process indicated by (f) is executed. In the pasting process, a heat treatment is executed at 1100° C and for one hour in an inert-gas atmosphere, in a state such that the surface of the polycrystalline silicon film 5' is brought into close contact with the surface of a second wafer 6.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67896

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/762
21/02
27/12H 0 1 L 21/76
21/02
27/12D
B
B
F

審査請求 未請求 請求項の数33 O L (全 13 頁)

(21) 出願番号 特願平9-223527

(22) 出願日 平成9年(1997) 8月20日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 長屋 正武

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 弁理士 佐藤 強

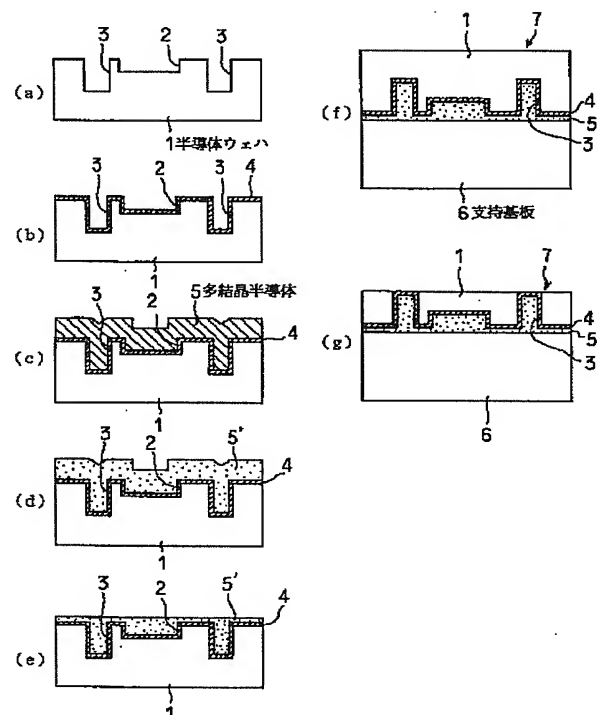
(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 半導体ウェハを支持基板に貼り合わせる際に、そのウェハの表面に存する凹凸に起因した接合不良の発生を効果的に防止すること。

【解決手段】 (c) に示す堆積工程では、凹部2、溝部3及びシリコン酸化膜4が形成された第1の単結晶シリコンウェハ1上に、LPCVD法により低压・低温条件下で多結晶シリコン5が堆積される。(d) に示す熱処理工程では、1150℃の高温熱処理を、多結晶シリコン5のマイグレーションが飽和する時間以上行う。

(e) に示す研磨工程では、マイグレーションが飽和した状態の多結晶シリコン5'の表面を平坦化する。この後には、多結晶シリコン5'の表面、並びに鏡面研磨された第2の単結晶シリコンウェハ6の表面に親水化処理を施し、(f) に示す貼り合わせ工程を行う。この貼り合わせ工程では、多結晶シリコン5'の表面と第2のウェハ6の表面とを密着させた状態で、不活性ガス雰囲気中或いは酸化性ガス雰囲気中において1100℃/1時間の熱処理を施す。



【特許請求の範囲】

【請求項 1】 半導体ウェハ（１）を支持基板（６）に密着させた状態で熱処理を施すことにより両者を接合する貼り合わせ工程を経て完成される半導体基板の製造方法において、

前記半導体ウェハ（１）の貼り合わせ面上に当該貼り合わせ面全体を覆う多結晶半導体（５）を堆積する堆積工程、

この堆積工程を経た前記半導体ウェハ（１）に対して、前記貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理を施す熱処理工程、この熱処理工程を経た多結晶半導体（５'）の表面を平坦化する研磨工程、を順次実行し、この後に前記貼り合わせ工程を行うことを特徴とする半導体基板の製造方法。

【請求項 2】 前記堆積工程では、多結晶半導体（５）を前記貼り合わせ工程時の熱処理温度より低い温度条件で堆積するように構成されていることを特徴とする請求項 1 記載の半導体基板の製造方法。

【請求項 3】 前記熱処理工程での熱処理時間は、前記多結晶半導体（５）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されることを特徴とする請求項 1 または 2 記載の半導体基板の製造方法。

【請求項 4】 前記貼り合わせ工程における熱処理温度を 1 0 0 0℃以上に設定したことを特徴とする請求項 1 ないし 3 の何れかに記載の半導体基板の製造方法。

【請求項 5】 前記多結晶半導体（５、５'）は多結晶シリコンにより構成され、前記堆積工程での堆積温度を 9 0 0℃以下に設定したことを特徴とする請求項 1 ないし 4 の何れかに記載の半導体基板の製造方法。

【請求項 6】 請求項 5 記載の半導体基板の製造方法において、

前記熱処理工程での熱処理温度を 1 1 5 0℃に設定すると共に、その熱処理時間を 5～1 0 時間以上に設定したことを特徴とする半導体基板の製造方法。

【請求項 7】 前記研磨工程を経た多結晶半導体（５'）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 ないし 6 の何れかに記載の半導体基板の製造方法。

【請求項 8】 前記貼り合わせ工程の実行前に、支持基板（６）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 ないし 7 の何れかに記載の半導体基板の製造方法。

【請求項 9】 前記支持基板（６）は絶縁材料により形成されることを特徴とする請求項 1 ないし 8 の何れかに記載の半導体基板の製造方法。

【請求項 1 0】 半導体ウェハ（１）を支持基板（６）

に密着させた状態で熱処理を施すことにより両者を接合する貼り合わせ工程を経て完成される半導体基板の製造方法において、

前記半導体ウェハ（１）の貼り合わせ面上に当該貼り合わせ面全体を覆う多結晶半導体（５）を堆積する第 1 の堆積工程、

この第 1 の堆積工程を経た前記半導体ウェハ（１）に対して、前記貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理を施す熱処理工程、

この熱処理工程を経た多結晶半導体（５'）の表面を平坦化する研磨工程、

この研磨工程を経た前記多結晶半導体（５'）の表面を覆った状態の第 2 の多結晶半導体（８）を堆積する第 2 の堆積工程、

この第 2 の堆積工程を経た前記の第 2 の多結晶半導体（８）の表面を平坦化する最終研磨工程、を順次実行し、この後に前記貼り合わせ工程を行うことを特徴とする半導体基板の製造方法。

【請求項 1 1】 前記第 1 及び第 2 の堆積工程では、多結晶半導体（５）及び第 2 の多結晶半導体（８）を前記貼り合わせ工程時の熱処理温度より低い温度条件で堆積するように構成されていることを特徴とする請求項 1 0 記載の半導体基板の製造方法。

【請求項 1 2】 前記熱処理工程における熱処理時間は、前記多結晶半導体（５）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されることを特徴とする請求項 1 0 または 1 1 記載の半導体基板の製造方法。

【請求項 1 3】 前記貼り合わせ工程における熱処理温度を 1 0 0 0℃以上に設定したことを特徴とする請求項 1 0 ないし 1 2 の何れかに記載の半導体基板の製造方法。

【請求項 1 4】 前記多結晶半導体（５、５'）及び第 2 の多結晶半導体（８）は多結晶シリコンにより構成され、前記第 1 の堆積工程での堆積温度、並びに前記第 2 の堆積工程での堆積温度をそれぞれ 9 0 0℃以下に設定したことを特徴とする請求項 1 0 ないし 1 3 の何れかに記載の半導体基板の製造方法。

【請求項 1 5】 請求項 1 4 記載の半導体基板の製造方法において、

前記熱処理工程での熱処理温度を 1 1 5 0℃に設定すると共に、その熱処理時間を 5～1 0 時間に設定したことを特徴とする半導体基板の製造方法。

【請求項 1 6】 前記研磨工程を経た第 2 の多結晶半導体（８）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 0 ないし 1 5 の何れかに記載の半導体基板の製造方法。

【請求項 1 7】 前記貼り合わせ工程の実行前に、支持基板（６）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 0 ないし 1 6 の何れかに記載の半導体基板の製造方法。

【請求項 1 8】 前記支持基板（６）は絶縁材料により形成されることを特徴とする請求項 1 0 ないし 1 7 の何れかに記載の半導体基板の製造方法。

【請求項 1 9】 半導体ウェハ（１）を支持基板（６）に密着させた状態で熱処理を施すことにより両者を接合する貼り合わせ工程を経て完成される半導体基板の製造方法において、

前記半導体ウェハ（１）の貼り合わせ面上に当該貼り合わせ面全体を覆った状態の多結晶半導体（５）を堆積する堆積工程、

この堆積工程を経た前記多結晶半導体（５）の表面を平坦化する研磨工程、

この研磨工程を経た前記半導体ウェハ（１）に対して、前記貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理を施す熱処理工程、

この熱処理工程を経た多結晶半導体（５'）の表面を再度平坦化する補助研磨工程、を順次実行し、この後に前記貼り合わせ工程を行うことを特徴とする半導体基板の製造方法。

【請求項 2 0】 前記堆積工程では、多結晶半導体（５）を前記貼り合わせ工程時の熱処理温度より低い温度条件で堆積するように構成されていることを特徴とする請求項 1 9 記載の半導体基板の製造方法。

【請求項 2 1】 前記補助研磨工程を経た前記多結晶半導体（５'）の表面に第 2 の多結晶半導体を堆積する第 2 の堆積工程、

この第 2 の堆積工程を経た前記半導体ウェハ（１）の第 2 の多結晶半導体表面を平坦化する最終研磨工程、を順次実行し、この後に前記貼り合わせ工程を行うことを特徴とする請求項 1 9 または 2 0 記載の半導体基板の製造方法。

【請求項 2 2】 前記第 2 の堆積工程では、第 2 の多結晶半導体を前記貼り合わせ工程時の熱処理温度より低い温度条件で堆積するように構成されていることを特徴とする請求項 2 1 記載の半導体基板の製造方法。

【請求項 2 3】 請求項 1 9 記載の半導体基板の製造方法において、

前記熱処理工程を実行した後に前記補助研磨工程を実行することなく、前記半導体ウェハ（１）の多結晶半導体（５'）の表面に第 2 の多結晶半導体を堆積する第 2 の堆積工程、

この第 2 の堆積工程を経た前記半導体ウェハ（１）の第 2 の多結晶半導体表面を平坦化する最終研磨工程、を順次実行し、この後に前記貼り合わせ工程を行うことを特徴とする半導体基板の製造方法。

【請求項 2 4】 前記第 2 の堆積工程では、第 2 の多結晶半導体を前記貼り合わせ工程時の熱処理温度より低い温度条件で堆積するように構成されていることを特徴とする請求項 2 3 記載の半導体基板の製造方法。

【請求項 2 5】 請求項 2 1 ないし 2 4 の何れかに記載の半導体基板の製造方法において、前記第 2 の多結晶半導体は多結晶シリコンにより構成され、前記第 2 の堆積工程での堆積温度を 9 0 0℃以下に設定したことを特徴とする半導体基板の製造方法。

【請求項 2 6】 前記研磨工程を経た多結晶半導体（５'）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 9 または 2 0 記載の半導体基板の製造方法。

【請求項 2 7】 前記最終研磨工程を経た第 2 の多結晶半導体の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 2 1 ないし 2 6 の何れかに記載の半導体基板の製造方法。

【請求項 2 8】 前記貼り合わせ工程の実行前に、支持基板（６）の表面に熱流動性がある平坦化处理膜を形成する平坦化处理膜形成工程を実行することを特徴とする請求項 1 9 ないし 2 7 の何れかに記載の半導体基板の製造方法。

【請求項 2 9】 前記熱処理工程での熱処理時間は、前記多結晶半導体（５）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されることを特徴とする請求項 1 9 ないし 2 8 の何れかに記載の半導体基板の製造方法。

【請求項 3 0】 前記貼り合わせ工程における熱処理温度を 1 0 0 0℃以上に設定したことを特徴とする請求項 1 9 ないし 2 9 の何れかに記載の半導体基板の製造方法。

【請求項 3 1】 前記多結晶半導体（５、５'）は多結晶シリコンにより構成され、前記堆積工程での堆積温度を 9 0 0℃以下に設定したことを特徴とする請求項 1 9 ないし 3 0 の何れかに記載の半導体基板の製造方法。

【請求項 3 2】 請求項 3 1 記載の半導体基板の製造方法において、

前記熱処理工程での熱処理温度を 1 1 5 0℃に設定すると共に、その熱処理時間を 5 ～ 1 0 時間に設定したことを特徴とする半導体基板の製造方法。

【請求項 3 3】 前記支持基板（６）は絶縁材料により形成されることを特徴とする請求項 1 9 ないし 3 2 の何れかに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、半導体ウェハの貼り合わせ技術を利用した半導体基板の製造方法に関する。

【0002】

【従来の技術】例えば、多層構造化されたシリコン基板を製造する場合に用いられるシリコンウェハの貼り合わせ方法としては、鏡面研磨された2枚のシリコンウェハ（ミラーウェハ）に表面処理を施した後に、それらを互いに密着させた状態で、その接合強化のための高温熱処理を施し、以て2枚のシリコンウェハを強固に貼り合わせる手段が知られている。しかしながら、この手段では、シリコンウェハの接合面にパターンニングが施された異種材料の薄膜が形成されている場合、或いは、シリコンウェハの表面にエッチングによる溝パターンが施されている場合などには、接合境界での凹凸（表面段差）の存在に起因して貼り合わせが不十分になるという問題点がある。

【0003】上記問題点に対処するための方法としては、シリコンウェハの貼り合わせ面に多結晶シリコンを堆積した後に平坦化研磨することにより、平坦面（鏡面）を有する多結晶シリコンによってウェハ表面の凹凸を覆った状態とし、この状態で貼り合わせを行う手段が知られている。このように多結晶シリコンを堆積するための工程は、常圧CVD法を利用して高温（1200℃前後）で行うことが一般的となっている。この場合には、多結晶シリコンを高速に、しかも厚く堆積できるため、研磨工程（この工程前に研削加工を行うこともある）での削り代を大きく取れる利点があり、また、堆積工程でのスループットを向上できるという利点もある。

【0004】

【発明が解決しようとする課題】しかしながら、シリコンウェハの凹凸が、幅狭で深い形状の溝パターン、つまりアスペクト比が高い溝パターンであった場合に、上記のような常圧CVD法では当該溝パターンを完全に埋めることが困難になるという事情がある。このようなアスペクト比が高い溝（ディープトレレンチ）を多結晶シリコンで完全に埋設できる堆積方法の例としては減圧CVD法がある。この減圧CVD法を採用した場合の成膜条件としては、低圧・低温（650℃以下）の成長速度を抑制した条件が埋設性に優れる。つまり常圧・高温の高速条件で成膜した場合には、成膜の初期段階で溝の上部が多結晶シリコンにより塞がれて溝内部に空洞が発生しやすくなるという事情があるが、上記のように成長速度を抑制した条件によれば、このような空洞の発生を見ることはない。

【0005】上記のような多結晶シリコンの成膜及び研磨工程を経たシリコンウェハを、支持用のシリコンウェハと貼り合わせる場合には、それらの貼り合わせ面に対して親水化処理を施す。この親水化処理では、例えば、各シリコンウェハを、所定温度に保温された硫酸と過酸化水素水との混合溶液に浸漬することで、シリコン（多結晶シリコン）の表面に数nm程度の膜厚の酸化膜を形成して親水性とし、その後超純水に浸漬することで酸化

膜上に吸着した水酸基及び水分子を水素結合させ、以て2枚のウェハを密着させる。次いで、熱処理を施すことにより、それらのウェハを強固な結合（共有結合）とする。

【0006】このような貼り合わせ時の熱処理を高温（1000℃以上）で行えば、未接合領域（ボイド）のない良好な接合状態となることが多いが、低温（800℃以下）で行った場合には、密着した状態のウェハが剥離したり、接合状態が維持されるものの大きなボイドが多数発生するなどの接合不良を生じることが多くなる。この原因は、低温熱処理では、ウェハの貼り合わせ面で発生したガス（水蒸気など）が拡散できないためと推定される。

【0007】従って、良好な貼り合わせ状態を得るためには、貼り合わせ時の熱処理温度を高くすれば良いと考えられるが、このように高温熱処理によるウェハの貼り合わせを行った場合でも、接合不良が発生することが往々にしてある。そこで、本件発明者は、このような接合不良の原因を究明するために以下のような実験・考察を行った。

【0008】即ち、本件発明者は、まず、SOI（Silicon On Insulator）構造を備えたシリコン基板を貼り合わせ法により製造するのに必要な工程を、図4に模式的に示す順序で実行した。具体的には、図4（a）に示すように、溝21（幅1μm、深さ2μm：アスペクト比＝2、但し、図面上では寸法関係を厳密に表現していない）を形成したシリコンウェハ22（表面にはシリコン酸化膜23を形成）に対して、多結晶シリコン24を減圧CVD法により低温条件（650℃）で成膜し、さらに、図4（b）に示すように、多結晶シリコン24の表面を平坦化研磨して鏡面化した。

【0009】そして、図4（c）に示すように、上記シリコンウェハ22の表面並びに別途に鏡面研磨を施した支持用シリコンウェハ25の表面に対しそれぞれ親水化処理を施した後に、それらシリコンウェハ22及び25を親水化処理面で互いに密着させ、この密着状態で1150℃／1時間の熱処理を行って両者を貼り合わせた。さらに、この後に、最終的に図4（d）に示すような状態（シリコンウェハ22の膜厚が比較的小さい状態）になることを目標として、溝21の底部が表面に露出する寸前までシリコンウェハ22の研削を行った。

【0010】その結果、図4（e）に示すように、シリコンウェハ22にあつては、溝21に対応した領域のみが接合され、それ以外の領域（以後、これを表面領域と呼ぶ）が剥離する現象を生じた。本件発明者は、このような現象について種々の実験及び考察を繰り返した結果、その発生原因が貼り合わせ工程での高温熱処理にあることを突き止めた。

【0011】その実験は、図5に模式的に示したように、溝21（幅1μm、深さ2μm）が例えば7μm間

隔で形成されたシリコンウェハ 2 2 上に、シリコン酸化膜 2 3 及び多結晶シリコン 2 4 を成膜した後に、その多結晶シリコン 2 4 の平坦化研磨処理を施したサンプル A を用意し、このサンプル A に対して、前記貼り合わせ工程での高温熱処理と同じ条件（1 1 5 0℃／1 時間）で熱処理を施して、熱処理前後での表面段差の変化を調べた。

【0 0 1 2】この結果、サンプル A の熱処理前には、その表面段差の測定結果を示す図 6 のように、多結晶シリコン 2 4 の表面に微小な凹凸がランダムに存在しているに過ぎなかったものが、熱処理後には、サンプル A の断面を示す図 7 並びにその表面段差の測定結果を示す図 8 のように、多結晶シリコン 2 4 の表面に、溝部 2 1 の配置間隔（7 μ m 間隔）に等しい周期で比較的大きな凹凸形状（高低差 ± 5 n m 程度）が発生していることが分かった。

【0 0 1 3】このことから、研磨処理により平坦化された多結晶シリコン 2 4 は、高温の熱処理が行われるのに伴い、再び表面段差が発生することになり、このため、再発生した表面段差の凸部分（溝 2 1 に対応した領域）でのみ支持用シリコンウェハ 2 5（図 4 参照）との接合が行われ、凹部分（シリコンウェハ 2 2 の表面領域）では、支持用シリコンウェハ 2 5 との接合が不十分になって、図 4（e）に示すような剥離現象を来すと考えられる。

【0 0 1 4】このような表面段差の再発生は、高温熱処理に伴う多結晶シリコン 2 4 の大粒径化現象（結晶の再配列）に伴うものである。ここで、低温条件で成膜された多結晶シリコン 2 4 は、その < 1 1 0 > 軸が下地面对してほぼ垂直に成長する柱状結晶と呼ばれる結晶成長をしている。溝 2 1 内部の多結晶シリコン 2 4 は、当該溝部 2 1 の側壁を下地としている部分が存在するため、その部分の多結晶シリコン 2 4 の結晶軸（< 1 1 0 > 軸）の方向は、シリコンウェハ 2 2 の表面領域に成膜された多結晶シリコン 2 4 の結晶軸（< 1 1 0 > 軸）と異なる角度になる。つまり、溝 2 1 の側壁がシリコンウェハ 2 2 の表面に対して直角に形成されていた場合には、溝 2 1 内部の多結晶シリコン 2 4 と外部（表面領域）の多結晶シリコン 2 4 とでは、< 1 1 0 > 軸の方向が 9 0 ° 異なることになる。

【0 0 1 5】そして、高温熱処理が行われると、多結晶シリコン 2 4 がマイグレーションして柱状結晶が粒状結晶へ移行する（大粒径化する）ようになるが、多結晶シリコン 2 4 にあっては、溝 2 1 内部と表面領域とで < 1 1 0 > 軸の方向が 9 0 ° 異なること、溝部 2 1 内部では大粒径化現象が閉じた領域で行われることなどから、溝部 2 1 内部と表面領域とでは多結晶シリコン 2 4 が大粒径化する結晶成長過程も異なることになり、この結果として、溝部 2 1 に対応した領域で多結晶シリコン 2 4 が盛り上がる現象が生じ、これが図 7 及び図 8 に示したよ

うな比較的大きな凹凸形状の発生原因になると考えられる。

【0 0 1 6】このようなメカニズムで発生する多結晶シリコン 2 4 表面の凹凸が、多結晶シリコン 2 4 の成膜及び研磨工程を経たシリコンシリコンウェハ 2 2 と支持用のシリコンウェハ 2 5 とを高温熱処理により貼り合わせる際の接合不良の原因になると推定される。

【0 0 1 7】本発明は上記のような事情に鑑みてなされたものであり、その目的は、半導体ウェハを支持基板に貼り合わせる際に、そのウェハの表面に存する凹凸に起因した接合不良の発生を効果的に防止できるようになる半導体基板の製造方法を提供することにある。

【0 0 1 8】

【課題を解決するための手段】上記目的を達成するために請求項 1 に記載したような半導体基板の製造方法を採用できる。この製造方法によれば、支持基板（6）に対し貼り合わされる半導体ウェハ（1）の貼り合わせ面には、堆積工程において、その貼り合わせ面全体を覆った状態の多結晶半導体（5）が堆積される。

【0 0 1 9】このように多結晶半導体（5）が堆積された半導体ウェハ（1）に対しては、その後に行われる熱処理工程において、貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施される。このような熱処理に伴い、多結晶半導体（5）の大粒径化に伴うマイグレーションが進行するようになる。この後には、研磨工程において、多結晶半導体（5'）の表面が平坦化されるものであり、この平坦化後に、半導体ウェハ（1）を支持基板（6）に密着させた状態で熱処理を施すことにより両者を接合するという貼り合わせ工程が行われ、以て半導体基板が完成される。

【0 0 2 0】この場合、貼り合わせ面となる多結晶半導体（5'）に対しては、貼り合わせ工程での熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施されているから、当該貼り合わせ工程において、多結晶半導体（5'）のマイグレーションが抑制されることになる。従って、半導体ウェハ（1）の貼り合わせ面側に凹凸が存在する場合であっても、これに堆積された多結晶半導体（5'）の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態が極力抑制されるようになる。

【0 0 2 1】このため、支持基板（6）との貼り合わせ面に未接合部分が発生することが抑制されるようになり、結果的に、半導体ウェハ（1）を支持基板（6）に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を効果的に防止できることになる。

【0 0 2 2】請求項 3 記載の製造方法によれば、前記熱処理工程での熱処理時間が、前記多結晶半導体（5）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されているから、貼り合わせ工程での熱処理によつ

て多結晶半導体（5'）のマイグレーションを生ずることがなくなる。従って、半導体ウェハ（1）の貼り合わせ面側に凹凸が存在する場合であっても、これに堆積された多結晶半導体（5'）の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態を確実に阻止できるようになる。このため、支持基板（6）との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、半導体ウェハ（1）を支持基板（6）に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0023】請求項4記載の製造方法によれば、貼り合わせ工程での熱処理温度が1000℃以上という高温に設定されているから、半導体ウェハ（1）の貼り合わせ面で発生するガス（水蒸気など）を十分に拡散できるようになる。このため、未接合領域（ボイド）のない良好な接合状態が得られるようになり、結果的に接合強度を高め得るようになる。

【0024】請求項5記載の製造方法によれば、多結晶半導体（5、5'）が多結晶シリコンにより構成されていると共に、堆積工程での堆積温度が、多結晶シリコンの成長速度が比較的遅くなる900℃以下に設定されているから、半導体ウェハ（1）の貼り合わせ面に溝パターンが形成されている場合でも、その埋設性が良好となり、品質の向上を実現できるようになる。

【0025】請求項7或いは請求項8記載の製造方法によれば、貼り合わせ工程の実行前の段階で、研磨工程を経た多結晶半導体（5'）の表面、または支持基板

（6）の表面に熱流動性がある平坦化処理膜が形成されることになる。このため、熱処理工程での熱処理によって多結晶半導体（5）のマイグレーションが完全な飽和状態になっていない場合、つまり最終的に行われる貼り合わせ工程での熱処理に伴い多結晶半導体（5'）の表面（貼り合わせ面）に凹凸が再発生するような状況にある場合であっても、その貼り合わせ工程での熱処理による平坦化処理膜の流動化現象によって、多結晶半導体（5'）の表面に再発生する微小な凹凸が吸収されることになり、結果的に良好な接合状態が得られることになる。

【0026】また、前記目的を達成するために請求項10に記載したような半導体基板の製造方法を採用できる。この製造方法によれば、支持基板（6）に対し貼り合わされる半導体ウェハ（1）の貼り合わせ面には、第1の堆積工程において、その貼り合わせ面全体を覆った状態の多結晶半導体（5）が堆積される。

【0027】このように多結晶半導体（5）が堆積された半導体ウェハ（1）に対しては、その後に行われる熱処理工程において、貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施される。この熱処理に伴い、多結晶半導体（5）の大粒径化

に伴うマイグレーションが進行するようになる。この後には、研磨工程において、多結晶半導体（5'）の表面が平坦化される。

【0028】さらに、この後には、第2の堆積工程において、上記多結晶半導体（5'）の表面（平坦面）を覆った状態の第2の多結晶半導体（8）が堆積されると共に、最終研磨工程において、第2の多結晶半導体（8）表面が平坦化されるものであり、この平坦化後に、半導体ウェハ（1）を支持基板（6）に密着させた状態で熱処理を施すことにより両者を接合するという貼り合わせ工程が行われ、以て半導体基板が完成される。

【0029】この場合、多結晶半導体（5'）に対しては、貼り合わせ工程での熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施されているから、貼り合わせ工程での熱処理では、当該多結晶半導体

（5'）の大粒径化に起因した凹凸の再発生が抑制されて、その表面の平坦性が維持されることになる。また、貼り合わせ工程での熱処理時には、第2の多結晶半導体（8）において大粒径化に伴うマイグレーションを生ずるが、その第2の多結晶半導体（8）の下地部（多結晶半導体（5'）の表面）が平坦面であるから、貼り合わせ面となる第2の多結晶半導体（8）の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態が極力抑制されるようになる。また、貼り合わせ工程での熱処理では第2の多結晶半導体（8）がマイグレーションすることで流動性をもつことになり、接合不良の発生を防止する効果もある。

【0030】このため、支持基板（6）との貼り合わせ面に未接合部分が発生することが抑制されるようになり、結果的に、半導体ウェハ（1）を支持基板（6）に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を効果的に防止できることになる。

【0031】請求項12記載の製造方法によれば、前記熱処理工程での熱処理時間が、前記多結晶半導体（5）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されているから、貼り合わせ工程での熱処理によって多結晶半導体（5'）のマイグレーションを生ずることがなくなる。従って、半導体ウェハ（1）の貼り合わせ面側に凹凸が存在する場合であっても、第2の多結晶半導体（8）の下地となる多結晶半導体（5'）の表面の平坦性を十分に確保できるようになるから、当該第2の多結晶半導体（8）の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態を確実に阻止できるようになる。このため、支持基板（6）との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、半導体ウェハ（1）を支持基板（6）に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0032】請求項13記載の製造方法によれば、貼り合わせ工程での熱処理温度が1000℃以上という高温に設定されているから、半導体ウェハ（1）の貼り合わせ面で発生するガス（水蒸気など）を十分に拡散できるようになる。このため、未接合領域（ボイド）のない良好な接合状態が得られるようになり、結果的に接合強度を高め得るようになる。

【0033】請求項14記載の製造方法によれば、多結晶半導体（5、5'）及び第2の多結晶半導体（8）が多結晶シリコンにより構成されていると共に、堆積工程での堆積温度が、多結晶シリコンの成長速度が比較的遅くなる900℃以下に設定されているから、半導体ウェハ（1）の貼り合わせ面に溝パターンが形成されている場合でも、その埋設性が良好となり、品質の向上を実現できるようになる。

【0034】請求項16或いは請求項17記載の製造方法によれば、貼り合わせ工程の実行前の段階で、最終研磨工程を経た第2の多結晶半導体（8）の表面、または支持基板（6）の表面に熱流動性がある平坦化処理膜が形成されることになる。このため、熱処理工程での熱処理によって多結晶半導体（5）のマイグレーションが完全な飽和状態になっていない場合、つまり最終的に行われる貼り合わせ工程での熱処理に伴い、当該多結晶半導体（5'）上に堆積された第2の多結晶半導体（8）の表面（貼り合わせ面）に凹凸が再発生するような状況にある場合であっても、その貼り合わせ工程での熱処理による平坦化処理膜の流動化現象によって、第2の多結晶半導体（8）表面に再発生する微小な凹凸が吸収されることになり、結果的に良好な接合状態が得られることになる。

【0035】前記目的を達成するために請求項19に記載したような半導体基板の製造方法を採用できる。この製造方法によれば、支持基板（6）に対し貼り合わされる半導体ウェハ（1）の貼り合わせ面には、堆積工程において、その貼り合わせ面全体を覆った状態の多結晶半導体（5）が堆積され、さらに、研磨工程において多結晶半導体（5）の表面が平坦化される。

【0036】このように多結晶半導体（5）が堆積されて平坦化された半導体ウェハ（1）に対しては、熱処理工程において、貼り合わせ工程時の熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施される。このような熱処理に伴い、多結晶半導体（5）の大粒径化に伴うマイグレーションが進行するようになる。この後には、補助研磨工程において、多結晶半導体（5'）の表面が再度平坦化されるものであり、この平坦化後に、半導体ウェハ（1）を支持基板（6）に密着させた状態で熱処理を施すことにより両者を接合するという貼り合わせ工程が行われ、以て半導体基板が完成される。

【0037】この場合、多結晶半導体（5'）にあっては、その表面が一度平坦化された後に、貼り合わせ工程

での熱処理温度と同等若しくはそれ以上の温度で所定時間の熱処理が施され、さらに、この後に表面が再度平坦化されることになる。この結果、多結晶半導体（5'）の表面（貼り合わせ面）の平坦性が高められると共に、貼り合わせ工程での熱処理時において、当該多結晶半導体（5'）の大粒径化に起因した凹凸の再発生が抑制されて、その表面の平坦性が維持されることになる。

【0038】このため、支持基板（6）との貼り合わせ面に未接合部分が発生することが抑制されるようになり、結果的に、半導体ウェハ（1）を支持基板（6）に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を効果的に防止できることになる。

【0039】請求項21記載の製造方法によれば、前記補助研磨工程の後で、第2の堆積工程において、多結晶半導体（5'）の表面に第2の多結晶半導体が堆積され、さらに、最終研磨工程において、第2の多結晶半導体の表面が平坦化された後に、貼り合わせ工程が行われる。

【0040】この場合、貼り合わせ工程での熱処理時には、第2の多結晶半導体において大粒径化に伴うマイグレーションを生ずるが、その第2の多結晶半導体の下地部（多結晶半導体（5'）の表面）が平坦面であるから、貼り合わせ面となる第2の多結晶半導体の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態が抑制されるようになる。

【0041】請求項26、27或いは請求項28記載の製造方法によれば、貼り合わせ工程の実行前の段階で、補助研磨工程を経た多結晶半導体（5'）の表面、或いは第2の多結晶半導体の表面、または支持基板（6）の表面に熱流動性がある平坦化処理膜が形成されることになる。このため、熱処理工程での熱処理によって多結晶半導体（5'）のマイグレーションが完全な飽和状態になっていない場合、つまり最終的に行われる貼り合わせ工程での熱処理に伴い、多結晶半導体（5'）の表面（貼り合わせ面）或いは第2の多結晶半導体の表面（貼り合わせ面）に凹凸が再発生するような状況にある場合であっても、その貼り合わせ工程での熱処理による平坦化処理膜の流動化現象によって、多結晶半導体（5'）或いは第2の多結晶半導体の表面に再発生する微小な凹凸が吸収されることになり、結果的に良好な接合状態が得られることになる。

【0042】請求項29記載の製造方法によれば、前記熱処理工程での熱処理時間が、多結晶半導体（5）の大粒径化に伴うマイグレーションが飽和する時間以上に設定されているから、貼り合わせ工程での熱処理によって多結晶半導体（5'）或いは第2の多結晶半導体のマイグレーションを生ずることがなくなる。従って、半導体ウェハ（1）の貼り合わせ面側に凹凸が存在する場合であっても、これに堆積された多結晶半導体（5'）或い

は第2の多結晶半導体の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態を確実に阻止できるようになる。このため、支持基板(6)との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、半導体ウェハ(1)を支持基板(6)に貼り合わせる際に、そのウェハに形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0043】請求項3記載の製造方法によれば、貼り合わせ工程での熱処理温度が1000℃以上という高温に設定されているから、半導体ウェハ(1)の貼り合わせ面で発生するガス(水蒸気など)を十分に拡散できるようになる。このため、未接合領域(ボイド)のない良好な接合状態が得られるようになり、結果的に接合強度を高め得るようになる。

【0044】請求項3記載の製造方法によれば、多結晶半導体(5、5')が多結晶シリコンにより構成されていると共に、堆積工程での堆積温度が、多結晶シリコンの成長速度が比較的遅くなる900℃以下に設定されているから、半導体ウェハ(1)の貼り合わせ面に溝パターンが形成されている場合でも、その埋設性が良好となり、品質の向上を実現できるようになる。

【0045】

【発明の実施の形態】以下、本発明をSOI構造を有した誘電体分離基板の製造に適用した複数の実施例について図1ないし図3を参照しながら説明する。

【0046】(第1の実施の形態)図1には本発明の第1実施例による製造工程例が模式的に示されており、以下これについて工程順に説明する。まず、図1(a)に示すエッチング工程では、鏡面研磨された第1の単結晶シリコンウェハ1(本発明でいう半導体ウェハに相当、以下の説明では第1のウェハと略称する)の表面を、ウェットエッチング、或いは反応性イオンエッチング(RIE)などのドライエッチングにより選択的にエッチングすることにより、深さ0.1μm〜5μm程度の凹部2を形成する。また、同様のエッチング手法により、第1のウェハ1の表面に、幅が0.5〜3μm、深さが1〜20μm程度のアスペクト比が比較的高い溝3を形成する。これにより、第1のウェハ1の表面には凹凸が形成されることになる。

【0047】図1(b)に示す成膜工程では、第1のウェハ1の表面に、熱酸化法或いはCVD法などによりシリコン酸化膜4を形成する。この後には、図1(c)に示す堆積工程において、上記シリコン酸化膜4上にLPCVD法により多結晶シリコン5(本発明でいう多結晶半導体に相当)を堆積する。この堆積は低圧・低温(900℃以下望ましくは650℃以下)の成長速度を抑制した条件で行うものであり、これにより、多結晶シリコン5によって凹部2は勿論のことアスペクト比が比較的高い溝部3を完全に覆った状態(空洞のない状態)とする。この場合、多結晶シリコン5の表面には、第1のウ

ェハ1表面の凹凸(凹部2及び溝部3)に起因した凹凸が形成された状態となる。

【0048】尚、上記堆積工程の実行前に、リンなどの不純物がドーブされた多結晶シリコンや酸化膜、窒化膜などを堆積した後に、選択的にエッチングすることで、配線などとして機能する異種材料の膜を形成する構成としても良い。このような構成とした場合でも、第1のウェハ1の表面に凹凸が形成されることになる。

【0049】次に、図1(d)に示す熱処理工程では、高温の熱処理を行うことにより、多結晶シリコン5を大粒化させて粒状結晶の多結晶シリコン5'に変化させる。このときの温度は、少なくとも後で行われる貼り合わせ工程での熱処理温度と同等か、或いはそれ以上の温度にしなければならない。具体的には、例えば貼り合わせ工程での熱処理温度が1100℃であった場合には、1150℃で行う。また、熱処理時間は、多結晶シリコン5のマイグレーションが飽和する時間以上に設定することが望ましい。従って、最適な熱処理時間は、多結晶シリコン5の堆積条件、溝3の形状などを考慮した事前検討に基づいて設定することになり、本実施例では、5〜10時間に設定している。

【0050】この後には、図1(e)に示す研磨工程において、多結晶シリコン5'の表面を化学的機械研磨(CMP)により平坦化することにより、当該多結晶シリコン5'の表面凹凸を除去する。これにより、多結晶シリコン5'の表面を段差のない平滑面(鏡面)にする。この場合、研磨布として硬質のものを使用することで、少ない研磨量で効率良い研磨を行い得るようになる。

【0051】この研磨工程の実行後には、多結晶シリコン5'の表面、並びに鏡面研磨された第2の単結晶シリコンウェハ6(図1(f)参照、本発明でいう支持基板に相当、以下第2のウェハと略称する)の表面に対して、親水性を持たせるための親水化処理工程(図示せず)を実行する。この親水化処理工程では、第1のウェハ1及び第2のウェハ6を、所定温度に保温された硫酸と過酸化水素水との混合溶液(例えば、H₂SO₄:H₂O₂=4:1)などの酸性溶液中に浸漬したり、或いは酸素プラズマ照射するなどの手段によって、各ウェハ1及び6の表面に1〜100nm程度の酸化層を形成して親水性を持たせ、しかる後に超純水にて洗浄する。次に、スピンドライヤなどによる乾燥を行って各ウェハ1及び6表面に吸着する水分量を制御した後に、図1(f)に示すような貼り合わせ工程を実行する。

【0052】この貼り合わせ工程では、まず、第1のウェハ1の表面(多結晶シリコン5'の表面(鏡面))と第2のウェハ6の表面(鏡面)とを密着させる。これにより、各ウェハ1及び6は、表面に形成されたシラノール基及び表面に吸着した水分子の水素結合により接着される。この後、例えば窒素などの不活性ガス雰囲気

中、或いは酸化性ガス雰囲気中で1100℃/1時間の熱処理を施す。これにより、第1のウェハ1及び第2のウェハ6の接着面において脱水縮合反応が生起され、それらウェハ1及び6は直接接合されて一体化し、以てS O I構造を有した接合基板7が形成されることになる。

【0053】次に、図1（g）に示す研削及び研磨工程では、接合基板7における第1のウェハ1側の面を溝3が露出する直前まで研削し、この状態から溝3のシリコン酸化膜2をストップとして機能させた選択研磨を行うことにより、その溝3を露出させる。

【0054】以上のような各工程を実行することにより、単結晶シリコン（第1のウェハ1）をシリコン酸化膜2によって誘電体分離させた状態のS O I基板（半導体基板）を製造することができる。

【0055】要するに、上記した本実施例の製造方法は、第1のウェハ1及び第2のウェハ6を密着させて熱処理を行う貼り合わせ工程の実行前に、熱処理工程及び研磨工程を行うようにしたことの特徴を有するものであり、この熱処理工程では、貼り合わせ工程での熱処理温度（1100℃）より高い温度（1150℃）での熱処理を、多結晶シリコン5の大粒径化に伴うマイグレーションが飽和する時間以上（5～10時間）行うようにしている。また、研磨工程では、マイグレーションが飽和した状態の多結晶シリコン5の表面（貼り合わせ面）を鏡面状に平坦化するようにしている。

【0056】この結果、熱処理工程において多結晶シリコン5のマイグレーションが飽和するようになって、その後に行われる貼り合わせ工程での熱処理によって多結晶シリコン5のマイグレーションを生ずることがなくなる。従って、第1のウェハ1の貼り合わせ面側に凹凸（凹部2及び溝部3）が存在する場合であっても、これに堆積された多結晶シリコン5の表面には、貼り合わせ工程での熱処理に伴い凹凸が発生することがなくなる。このため、第1のウェハ1と第2のウェハ6との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、それらウェハ1及びウェハ6を貼り合わせる際に、第1のウェハ1に形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0057】特に、本実施例では、堆積工程における多結晶シリコン5の堆積温度を、貼り合わせ工程時の熱処理温度（1100℃）より低い温度（900℃以下、望ましくは650℃以下）に設定する構成としているから、その多結晶シリコン5の成長速度が抑制された状態となつて埋設性に優れるという利点がある反面、このような温度条件で堆積された多結晶シリコン5はマイグレーションが大きくなるという不具合がある。しかし、本実施例では、上述したように熱処理工程において多結晶シリコン5のマイグレーションを飽和させる構成としているから、このような不具合を確実に除去できることに

なる。

【0058】尚、本実施例では、熱処理工程での熱処理時間を、多結晶シリコン5のマイグレーションが飽和する時間以上に設定したが、多結晶シリコン5のマイグレーションをある程度の範囲内に抑制できるのであれば、これより短い時間に設定する構成としても良い。この構成によれば、貼り合わせ工程において、多結晶シリコン5'のマイグレーションが抑制されることになるから、貼り合わせ工程での熱処理に伴い、当該多結晶シリコン5'の表面に凹凸が発生する事態を極力抑制できるようになり、結果的に、前述したような接合不良の発生を効果的に防止できることになる。また、熱処理工程でのスループットの向上を図り得る。

【0059】さらに、本実施例において、親水化処理工程及び貼り合わせ工程を行う前の段階で、第1のウェハ1の表面（多結晶シリコン5'の表面）または第2のウェハ6の表面に、熱流動性がある平坦化処理膜を0.1μm～2μm程度の厚さで形成する平坦化処理膜形成工程を行う構成としても良い。この平坦化処理膜としては、熱酸化によるシリコン酸化膜の他に、BPSG（Boron-doped Phosphor Silicate Glass）、PSG（Phosphor Silicate Glass）、SOG（Spin On Glass）などを利用できる。

【0060】このような平坦化処理膜形成工程を行った場合には、熱処理工程での熱処理によって多結晶シリコン5のマイグレーションが完全な飽和状態になっていない場合、つまり最終的に行われる貼り合わせ工程での熱処理に伴い多結晶シリコン5'の表面（貼り合わせ面）に凹凸が再発生するような状況にある場合（例えば、熱処理工程での熱処理時間を短めに設定した場合）であっても、その貼り合わせ工程での熱処理に伴う平坦化処理膜の流動化現象によって、多結晶シリコン5の表面に再発生する微小な凹凸が吸収されることになり、結果的に良好な接合状態が得られることになる。

【0061】（第2の実施の形態）図2には本発明の第2実施例による製造工程例が模式的に示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、本実施例では、図2における（a）のエッチング工程、（b）の成膜工程、（c）の堆積工程、

（d）の熱処理工程、（e）の研磨工程を、第1実施例と同様に行う（図1（a）～（e）参照）。第1実施例では、研磨工程（図1（e）参照）が終了した第1のウェハ1を、そのまま貼り合わせ工程（図1（f）参照）に供する構成としたが、本実施例では、図2（f）に示す第2の堆積工程を行う。

【0062】この第2の堆積工程では、多結晶シリコン5'の表面に、LPCVD法により第2の多結晶シリコン8（本発明でいう第2の多結晶半導体に相当）を堆積する。この場合の堆積も、低圧・低温（900℃以下、望ましくは650℃以下）の成長速度を抑制した条件で

行うのが良いが、常圧・高温でも良い。

【0063】この後には、熱処理工程を行うことなく、第2の多結晶シリコン8の表面を化学的機械研磨（CMP）などにより平坦化（鏡面化）するという最終研磨工程（図示せず）を実行する。

【0064】次いで、第2の多結晶シリコン8の表面、並びに第2のウェハ6の表面に対して、第1実施例と同様の親水化処理を施した後に、図2（g）及び（h）に示すような貼り合わせ工程を実行する。この貼り合わせ工程では、第1のウェハ1の表面（第2の多結晶シリコン8の表面）と第2のウェハ6の表面とを密着させると共に、この状態で、例えば窒素などの不活性ガス雰囲気中、或いは酸化性ガス雰囲気中で1100℃/1時間の熱処理を施すものであり、これに応じて、それらウェハ1及び6が直接接合された接合基板9が形成されることになる。尚、このときには、上記熱処理に伴い、第2の多結晶シリコン8が大粒径化して粒状結晶の第2の多結晶シリコン8'に変化することになる。さらに、この後には、図2（i）に示す研削及び研磨工程を第1実施例と同様に実行する。

【0065】このような構成とした本実施例によれば、多結晶シリコン5'に対しては、貼り合わせ工程での熱処理温度（1100℃）より高い温度（1150℃）で所定時間（5～10時間）の熱処理が施されているから、貼り合わせ工程での熱処理では、多結晶シリコン5の大粒径化に起因した凹凸の再発生が抑制されて、多結晶シリコン5'の表面の平坦性が維持されることになる。また、貼り合わせ工程での熱処理時には、第2の多結晶シリコン8において大粒径化に伴うマイグレーションを生ずるが、その第2の多結晶シリコン8の下地部（多結晶シリコン5'の表面）が平坦面であるから、貼り合わせ面となる第2の多結晶シリコン8の表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態が極力抑制されるようになる。

【0066】このため、本実施例においても、第1のウェハ1と第2のウェハ6との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、第1のウェハ1と第2のウェハ6とを貼り合わせる際に、その第1のウェハ1に形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0067】尚、本実施例においても、熱処理工程での熱処理時間を、多結晶シリコン5のマイグレーションが飽和する時間以上に設定したが、多結晶シリコン5のマイグレーションをある程度の範囲内に抑制できるのであれば、これより短い時間に設定する構成としても良い。

【0068】さらに、本実施例においても、親水化処理工程及び貼り合わせ工程を行う前の段階で、第1のウェハ1の表面（第2多結晶シリコン8の表面）または第2のウェハ6の表面に、0.1μm～2μm程度の比較的厚い平坦化処理膜を形成する平坦化処理膜形成工程を行

う構成としても良い。

【0069】（第3の実施の形態）図3には本発明の第3実施例による製造工程例が模式的に示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、本実施例では、図3における（a）のエッチング工程、（b）の成膜工程、（c）の堆積工程を第1実施例と同様に行う（図1（a）～（c）参照）。第1実施例では、堆積工程の後に、例えば1150℃の高温での熱処理工程（図1（d）参照）を行う構成としたが、本実施例では、図2（d）に示す研磨工程を行った後に、図2（e）に示す熱処理工程を実行する。

【0070】上記研磨工程では、多結晶シリコン5の表面を化学的機械研磨（CMP）などにより平坦化（鏡面化）するものであり、また、熱処理工程では、例えば1150℃の温度での熱処理を、多結晶シリコン5のマイグレーションが飽和する時間以上（5～10時間）行うことにより、当該多結晶シリコン5を大粒径化させて粒状結晶の多結晶シリコン5'に変化させる。

【0071】このような熱処理工程を行った場合には、図3（e）に示すように、多結晶シリコン5'の表面における溝3と対応した位置に凸部B及び凹部2と対応した位置に凸部Cがそれぞれ発生することになるが、本実施例では、それらの凸部B及びCを除去するために、図3（f）に示すような補助研磨工程を実行して多結晶シリコン5'の表面を再度平坦化（鏡面化）する。

【0072】この後には、多結晶シリコン5'の表面、並びに第2のウェハ6の表面に対して、第1実施例と同様の親水化処理を施した後に、図3（g）に示すような貼り合わせ工程を実行することにより接合基板7'を形成し、さらに、図3（h）に示すような研削及び研磨工程を第1実施例と同様に実行する。

【0073】このような構成とした本実施例によれば、多結晶シリコン5にあつては、その表面が研磨工程により一度平坦化された後に、熱処理工程において、貼り合わせ工程での熱処理温度（1100℃）より高い温度（1150℃）で所定時間（5～10時間）の熱処理が施されて大粒径化した多結晶シリコン5'とされ、さらに、この後に補助研磨工程において、その多結晶シリコン5'の表面が再度平坦化されることになる。この結果、多結晶シリコン5'の表面（貼り合わせ面）の平坦性が高められると共に、貼り合わせ工程での熱処理時において、当該多結晶シリコン5'の大粒径化に起因した凹凸の再発生が抑制されて、その表面の平坦性が維持されることになる。

【0074】このため、本実施例においても、第1のウェハ1と第2のウェハ6との貼り合わせ面に未接合部分が発生することがなくなり、結果的に、それらウェハ1及び6を貼り合わせる際に、その第1のウェハ1に形成されたパターン構造による凹凸に起因した接合不良の発生を確実に防止できることになる。

【0075】尚、本実施例においても、熱処理工程での熱処理時間を、多結晶シリコン5のマイグレーションが飽和する時間以上に設定したが、多結晶シリコン5のマイグレーションをある程度の範囲内に抑制できるのである、これより短い時間に設定する構成としても良い。

【0076】さらに、本実施例においても、親水化処理工程及び貼り合わせ工程を行う前の段階で、第1のウェハ1の表面（多結晶シリコン5の表面）または第2のウェハ6の表面に、0.1 μm ～2 μm 程度の比較的厚い平坦化処理膜を形成する平坦化処理膜形成工程を行う構成としても良い。

【0077】また、具体的に図示しないが、本実施例において、補助研磨工程（図3（f）参照）を経た多結晶シリコン5'の表面に、第2の多結晶シリコン（第2の多結晶半導体）を、900℃以下望ましくは650℃以下の温度条件で堆積する第2の堆積工程、この第2の堆積工程を経た第2の多結晶シリコンの表面を平坦化する最終研磨工程を順次実行し、この後に前記貼り合わせ工程（図3（g）参照）を行う構成としても良い。

【0078】この場合、貼り合わせ工程での熱処理時には、第2の多結晶シリコンにおいて大粒径化に伴うマイグレーションを生ずるが、その第2の多結晶シリコンの下地部（多結晶シリコン5'の表面）が平坦面であるから、貼り合わせ面となる第2の多結晶シリコンの表面に、貼り合わせ工程での熱処理に伴い凹凸が発生する事態が抑制されるようになり、結果的に良好な接合状態が得られるようになる。

【0079】加えて、具体的に図示しないが、本実施例において、前記熱処理工程（図3（e）参照）を実行した後に前記補助研磨工程（図3（f）参照）を実行することなく、多結晶半導体シリコン5'の表面に第2の多結晶シリコン（第2の多結晶半導体）を堆積する第2の堆積工程、この第2の堆積工程を経た第2の多結晶シリコンの表面を平坦化する研磨工程を順次実行し、この後に前記貼り合わせ工程（図3（g）参照）を行う構成としても良い。

【0080】（その他の実施の形態）尚、本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。熱処理工程においては、貼り合わせ工程での熱処理温度（1100℃）より高い温

度（1150℃）の熱処理を行う構成としたが、少なくとも同等の熱処理温度であれば良い。また、貼り合わせ工程での熱処理温度は、上記各実施例のように1100℃以上に設定する必要はなく、1000℃程度以上に設定すれば所期の目的を達成できるものである。

【0081】半導体ウェハとしては、第1の単結晶シリコンウェハ1に限らず、4族元素を主体とした半導体であれば、例えば、Ge（ゲルマニウム）、SiC（炭化シリコン）、SiGe（シリコンゲルマニウム）などより成るウェハを用いることができる。

【0082】支持基板としては、第2の単結晶シリコンウェハ6に限らず、他の半導体基板或いは絶縁性を有するセラミック基板やガラス基板などを用いることもできる。また、SOI基板に限らず、特性が異なる2枚の半導体基板（半導体ウェハ）を直接貼り合わせた多層構造基板にも適用できる。

【図面の簡単な説明】

【図1】本発明の第1実施例による製造工程を模式的に示す断面図

【図2】本発明の第2実施例による製造工程を模式的に示す断面図

【図3】本発明の第3実施例による製造工程を模式的に示す断面図

【図4】従来の欠点を説明するための製造工程例を模式的に示す断面図

【図5】本件発明者が行った実験内容を説明するための模式的な断面図その1

【図6】熱処理を行う前の実験サンプルにおける表面段差を測定した結果を示す図

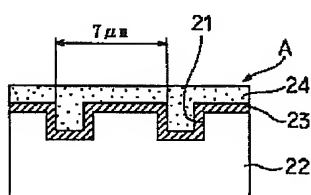
【図7】本件発明者が行った実験内容を説明するための模式的な断面図その2

【図8】熱処理を行った後の実験サンプルにおける表面段差を測定した結果を示す図

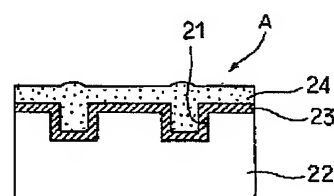
【符号の説明】

1は第1の単結晶シリコンウェハ（半導体ウェハ）、3は溝、4はシリコン酸化膜、5、5'は多結晶シリコン（多結晶半導体）、6は第2の単結晶シリコンウェハ（支持基板）、8、8'は第2の単結晶シリコン（第2の多結晶半導体）を示す。

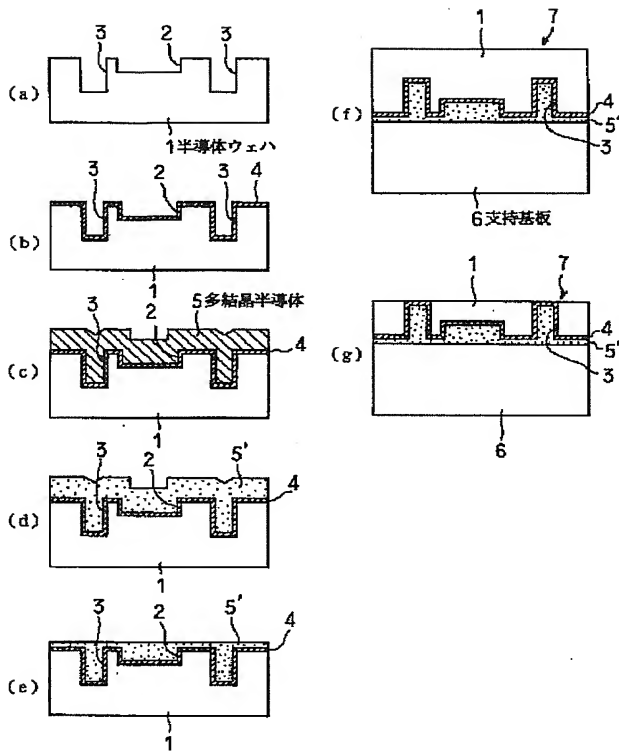
【図5】



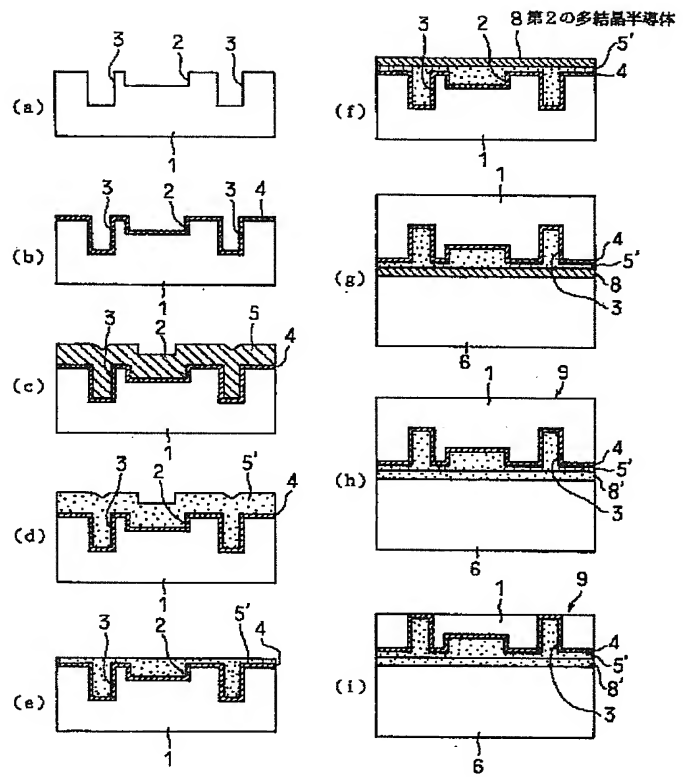
【図7】



【図 1】

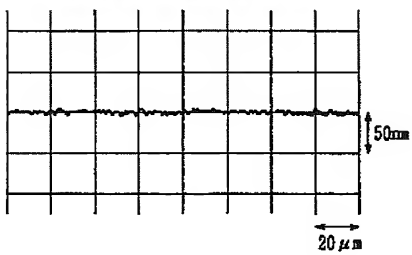


【図 2】



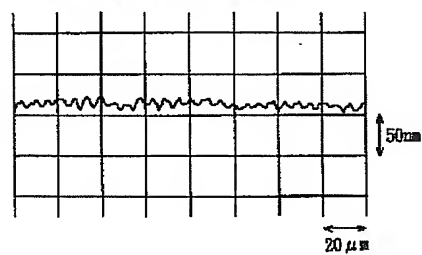
【図 6】

(熱処理前の表面断面測定結果)

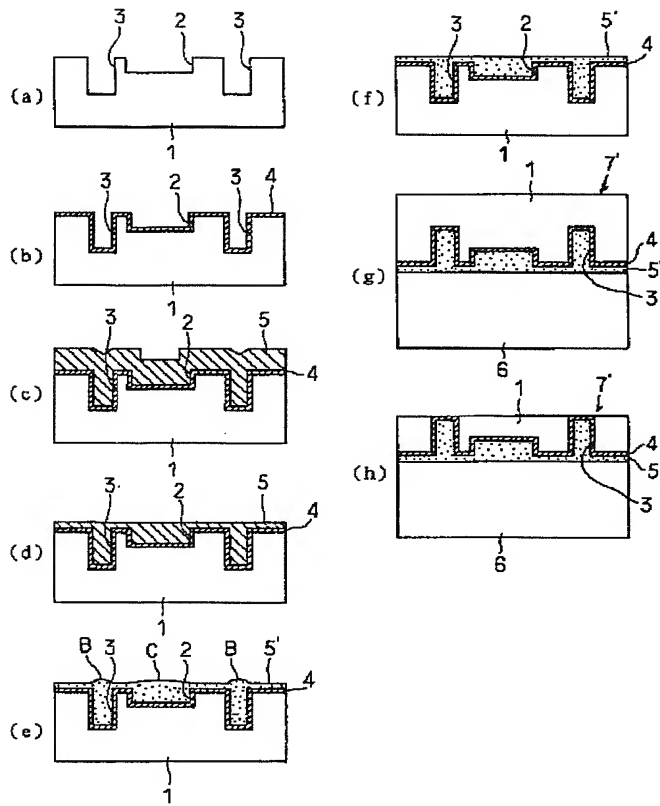


【図 8】

(熱処理後の表面断面測定結果)



【図 3】



【図 4】

